

Docket No.: 57810-020

**PATENT**

# 4  
10/15/01  
mini  
J1017 U.S. PTO  
09/810420  
03/19/01

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Yasunori INOUE, et al.

Serial No.:

Group Art Unit:

Filed: March 19, 2001

Examiner:

For: SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-077933, filed March 21, 2000

and

Japanese Patent Application No. 2000-079232, filed March 22, 2000

Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

*Arthur J. Steiner*

Arthur J. Steiner

Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJ5:klm  
**Date: March 19, 2001**  
Facsimile: (202) 756-8087

57810-020  
MARCH 19.2001  
WU2 et al.

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

31017 U.S. PRO  
09/810420  
03/19/01

出 願 年 月 日  
Date of Application:

2000年 3月21日

出 願 番 号  
Application Number:

特願2000-077933

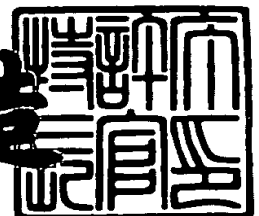
出 願 人  
Applicant (s):

三洋電機株式会社

2001年 2月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3003099

【書類名】 特許願

【整理番号】 NBC1002023

【提出日】 平成12年 3月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社内

【氏名】 井上 恭典

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社内

【氏名】 秋月 誠

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社内

【氏名】 小椋 功

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社内

【氏名】 坂井 篤

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 静電破壊対策用回路および受動素子のうちの少なくともいずれかのみからなる第 1 半導体チップを備えた、半導体装置。

【請求項 2】 前記第 1 半導体チップは、前記受動素子のみからなる、請求項 1 に記載の半導体装置。

【請求項 3】 前記受動素子は、抵抗、コンデンサおよびリアクタのうちの少なくともいずれかを含む、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 支持基板上に設置された第 2 半導体チップおよび第 3 半導体チップをさらに備え、

前記第 2 半導体チップと前記第 3 半導体チップとは、前記第 1 半導体チップを介して接続されている、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 支持基板上に設置された複数の半導体チップと、  
前記複数の半導体チップ間を接続するとともに、受動素子機能を有する配線とを備えた、半導体装置。

【請求項 6】 前記受動素子機能を有する配線は、前記複数の半導体チップの端子間を直線的に接続する場合の長さよりも大きい長さを有することにより抵抗素子を構成する、請求項 5 に記載の半導体装置。

【請求項 7】 所定の電位に固定され、前記配線と所定の間隔を隔てて対向するように配置されたダミー配線をさらに備え、

前記配線は、前記ダミー配線との組み合わせによってコンデンサを構成する、請求項 5 または 6 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、複数の半導体チップが支持基板上に設置される半導体装置に関する。

【0002】

## 【従来の技術】

近年、絶縁基板上に異なる機能を有する複数の半導体チップを高密度に実装してシステム化したマルチチップモジュール（MCM:Multi Chip Module）が開発されている。これらは、たとえば、特開平9-232505号などに開示されている。

## 【0003】

図8は、従来の半導体装置（マルチチップモジュール）を示した概略図である。図8を参照して、従来の半導体装置では、絶縁基板からなる支持基板103上に、DRAMチップ101と、ロジックチップ102と、他の機能チップ105および106とが設置されている。支持基板103の表面の外周部分には、複数の入出力端子103aが所定の間隔を隔てて設けられている。

## 【0004】

また、DRAMチップ101、ロジックチップ102、チップ105および106の上面には、それぞれ、複数の入出力端子101a、102a、105aおよび106aが設けられている。DRAMチップ101とロジックチップ102とは、入出力端子101aおよび102aを配線107により接続することによって直接接続されている。

## 【0005】

また、DRAMチップ101は、配線108によって支持基板103と接続されており、ロジックチップ102は、配線109によって支持基板103と接続されている。また、チップ105は、配線110によってDRAMチップ101と接続されており、チップ106は、配線111および112によって、それぞれ、ロジックチップ102および支持基板103と接続されている。

## 【0006】

図9は、図8に示した従来の半導体装置（マルチチップモジュール）における半導体チップの入出力回路の構成を示した回路図である。図9を参照して、従来の半導体装置では、DRAMチップ101およびロジックチップ102の全ての入出力端子101a（102a）に、静電破壊防止用トランジスタ201および202からなる静電破壊対策用回路が接続されている。また、入出力端子101

a (102a) は、抵抗 203 を介してチップ内部の集積回路（図示せず）に接続されている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記した従来の半導体装置（マルチチップモジュール）では、各々のチップ 101、102、105 および 106 の動作が個別に検査されて良品として認められても、チップ間の信号伝達のタイミングが一致しないために、半導体装置として機能しない場合がある。このような場合には、いずれかのチップの設計を変更し、そのチップを再作成する必要がある。この場合、1  $\mu$ m 以下の高価なマスクを作成し直し、数週間の製造期間がかかる。その結果、再作成時の製造期間が長期化するとともに、製造コストが上昇するという問題点があった。

【0008】

この発明は、上記のような課題を解決するためになされたものであり、

この発明の一つの目的は、信号のタイミング調整が必要になった場合に、製造期間の短縮化および製造コストの低減が可能な半導体装置を提供することである。

【0009】

この発明のもう一つの目的は、上記の半導体装置において、信号の伝達速度を向上させることである。

【0010】

【課題を解決するための手段】

請求項 1 における半導体装置は、静電破壊対策用回路および受動素子のうちの少なくともいずれかのみからなる第 1 半導体チップを備えている。

【0011】

請求項 1 では、このように構成することによって、たとえば、第 1 半導体チップが受動素子を含む場合に、その第 1 半導体チップを介して支持基板上に設置された複数の半導体チップを接続するようにすれば、第 1 半導体チップを修正するだけで、信号のタイミング調整が可能となる。この場合、第 1 半導体チップは、

受動素子や静電破壊対策用回路のみを含むため、第1半導体チップを介して接続される個別の機能を有する半導体チップと比較して構造が簡単である。したがって、第1半導体チップの修正は、個別の機能を有する半導体チップを再作成する場合と比較して、より短時間かつ低コストで行うことができる。その結果、信号のタイミング調整が必要になった場合の修正期間を短縮化することができるとともに、修正コストを低減することができる。

## 【0012】

また、第1半導体チップが静電破壊対策用回路を含む場合には、接続される個々の半導体チップ内に静電破壊対策用回路を設ける必要がなくなり、第1半導体チップ内の静電破壊対策用回路を、接続される2つの半導体チップの共通の静電破壊対策用回路として用いることができる。それにより、静電破壊対策用回路の数を減少させることができ、その結果、静電破壊対策用回路による寄生容量を減少させることができる。これにより、信号伝達速度を向上させることができる。また、上記のように、接続される個々の半導体チップ内に静電破壊対策用回路を設ける必要がなくなるので、個々の半導体チップの面積を削減することができる。その結果、接続される半導体チップの製造コストの低減も可能となる。

## 【0013】

請求項2における半導体装置は、請求項1の構成において、第1半導体チップが受動素子のみを含む。請求項2では、このように構成することによって、第1半導体チップが受動素子と静電破壊対策用回路との両方を有する場合に比べて、第1半導体チップの構造がより簡単になる。これにより、信号のタイミング調整が必要になった場合に、第1半導体チップの修正期間をより短縮化することができるとともに、修正コストをより低減することができる。

## 【0014】

請求項3における半導体装置は、請求項1または2の構成において、受動素子は、抵抗、コンデンサおよびリアクタのうちの少なくともいずれかを含む。請求項3では、このような受動素子を用いることによって、容易に信号のタイミング調整を行うことができる。

## 【0015】



請求項4における半導体装置は、請求項1～3のいずれかの構成において、支持基板上に設置された第2半導体チップおよび第3半導体チップをさらに備え、第2半導体チップと第3半導体チップとは、第1半導体チップを介して接続されている。

【0016】

請求項4では、このように構成することにより、たとえば、第1半導体チップが受動素子を含む場合には、信号のタイミング調整が必要になった場合に、受動素子を含む第1半導体チップを修正するだけで、信号のタイミング調整が可能となる。この場合、第1半導体チップは、受動素子や静電破壊対策用回路のみを含むため、個別の機能を有する第2および第3半導体チップと比較して構造が簡単である。したがって、信号のタイミング調整が必要になった場合に、第1半導体チップの修正は、第2半導体チップまたは第3半導体チップを再作成する場合に比べて、より短期間および低コストで行うことができる。その結果、信号のタイミング調整が必要になった場合の修正期間を短縮化することができるとともに、修正コストを低減することが可能となる。

【0017】

また、請求項4において、第1半導体チップが静電破壊対策用回路を含む場合には、第2および第3半導体チップ内に静電破壊対策用回路を設ける必要がなくなり、第1半導体チップ内の静電破壊対策用回路を第2および第3半導体チップの共通の静電破壊対策用回路として用いることができる。それにより、静電破壊対策用回路の数を減少させることができ、その結果、静電破壊対策用回路による寄生容量を減少させることができる。これにより、第2半導体チップと第3半導体チップとの間の信号伝達速度を向上させることができる。また、第2および第3半導体チップ内に静電破壊対策用回路を設ける必要がなくなるので、第2および第3半導体チップの面積を削減することができる。その結果、第2および第3半導体チップの製造コストの低減も可能となる。

【0018】

請求項5における半導体装置は、支持基板上に設置された複数の半導体チップと、複数の半導体チップ間を接続するとともに、受動素子機能を有する配線とを

備えている。請求項 5 では、このように構成することにより、チップ間の信号伝達速度をチップ完成後の配線工程のみによって調整することができる。それにより、半導体チップを再製造することなくチップ間の信号伝達速度を調整することができる。その結果、信号のタイミング調整が必要になった場合の修正期間と修正コストをより削減することが可能となる。

【 0 0 1 9 】

請求項 6 における半導体装置は、請求項 5 の構成において、受動素子機能を有する配線は、複数の半導体チップの端子間を直線的に接続する場合の長さよりも大きい長さを有することにより抵抗素子を構成する。請求項 6 では、このように配線に抵抗機能を付加することによって、半導体チップ間の信号伝達速度を容易に調整することができる。

【 0 0 2 0 】

請求項 7 における半導体装置は、請求項 5 または 6 の構成において、所定の電位に固定され、上記配線と所定の間隔を隔てて対向するように配置されたダミー配線をさらに備え、上記配線は、ダミー配線との組み合わせによってコンデンサを構成する。請求項 7 では、このように配線にコンデンサ機能を付加することによって、チップ間の信号伝達速度を容易に調整することができる。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【 0 0 2 2 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図 2 は、図 1 に示した第 1 実施形態による半導体装置の構成を説明するための回路図である。

【 0 0 2 3 】

図 1 および図 2 を参照して、以下に第 1 実施形態による半導体装置について説明する。

【 0 0 2 4 】

まず、図 1 を参照して、この第 1 実施形態による半導体装置（マルチチップモジュール）では、絶縁基板からなる支持基板 3 上に、DRAM チップ 1 と、ロジックチップ 2 と、チップ 4 と、他の機能チップ 5 および 6 とが設置されている。なお、チップ 4 が本発明の「第 1 半導体チップ」に相当し、DRAM チップ 1 およびロジックチップ 2 が、それぞれ、本発明の「第 2 半導体チップ」および「第 3 半導体チップ」に相当する。

【 0 0 2 5 】

支持基板 3 の表面の外周には、複数の入出力端子 3 a が所定の間隔を隔てて設けられている。また、DRAM チップ 1、ロジックチップ 2、チップ 5 および 6 の上面には、それぞれ、複数の入出力端子 1 a、2 a、5 a および 6 a が設けられている。また、チップ 4 の上面には、複数の入出力端子 4 a および 4 b が設けられている。

【 0 0 2 6 】

また、DRAM チップ 1 は、配線 8 によって支持基板 3 と接続されており、ロジックチップ 2 は、配線 9 によって支持基板 3 と接続されている。また、チップ 5 は、配線 1 0 によって DRAM チップ 1 と接続されている。チップ 6 は、配線 1 1 および 1 2 によって、ロジックチップ 2 および支持基板 3 と接続されている。

【 0 0 2 7 】

ここで、この第 1 実施形態では、DRAM チップ 1 とロジックチップ 2 とが、チップ 4 を介して接続されている。すなわち、DRAM チップ 1 の入出力端子 1 a とチップ 4 の入出力端子 4 a とが、配線 7 a によって接続されている。また、ロジックチップ 2 の入出力端子 2 a とチップ 4 の入出力端子 4 b とが、配線 7 b によって接続されている。このチップ 4 には、静電破壊対策用回路および抵抗のみが形成されている。具体的には、図 2 に示すように、チップ 4 の入出力端子 4 a と 4 b との間に、静電破壊防止用トランジスタ 2 1 および 2 2 からなる静電破壊対策用回路と、抵抗 2 3 a および 2 3 b とが接続されている。なお、この抵抗 2 3 a および 2 3 b は、本発明の「受動素子」に相当する。

【 0 0 2 8 】

また、チップ4は、抵抗23と静電破壊対策用回路のみを含むため、DRAMチップ1およびロジックチップ2と比較して構造が簡単である。すなわち、DRAMチップ1やロジックチップ2は、20枚程度のマスクを用いて配線数が5～8層程度で形成されるのに対して、チップ4は、10枚程度のマスクを用いて3層程度で形成される。したがって、チップ4は、DRAMチップ1およびロジックチップ2と比較して、再作成が容易である。

#### 【0029】

第1実施形態では、上記のように、抵抗23および静電破壊対策用回路のみ含む構造が簡単なチップ4を介して、DRAMチップ1とロジックチップ2とを接続することによって、信号のタイミング調整が必要になった場合に、チップ4を修正するだけで、信号のタイミング調整が可能となる。この場合、チップ4は、簡単な構造を有するので、チップ4の修正は、DRAMチップ1またはロジックチップ2を再作成する場合と異なり、短期間かつ低コストで行うことができる。その結果、信号のタイミング調整が必要になった場合の修正期間を短縮化することができるとともに、修正コストを低減することができる。

#### 【0030】

また、第1実施形態では、チップ4が静電破壊対策用回路を含むので、DRAMチップ1およびロジックチップ2内に静電破壊対策用回路を設ける必要がなくなり、チップ4内の静電破壊対策用回路をDRAMチップ1およびロジックチップ2の共通の静電破壊対策用回路として用いることができる。それにより、静電破壊対策用回路の数を減少させることができ、その結果、静電破壊対策用回路による寄生容量を減少させることができる。これにより、DRAMチップ1とロジックチップ2との間の信号伝達速度を向上させることができる。

#### 【0031】

また、第1実施形態では、上記のように、DRAMチップ1およびロジックチップ2内に静電破壊対策用回路を設ける必要がなくなるので、DRAMチップ1およびロジックチップ2の面積を約3%～20%程度削減することができる。これにより、DRAMチップ1およびロジックチップ2の製造コストも同じ割合で低減することができる。

## 【 0 0 3 2 】

## (第 2 実施形態)

図 3 は、本発明の第 2 実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図 4 は、図 3 に示した第 2 実施形態による半導体装置の構成を説明するための回路図である。

## 【 0 0 3 3 】

図 3 および図 4 を参照して、この第 2 実施形態では、上記した第 1 実施形態とは異なり、DRAMチップ 1 とロジックチップ 2 とを、受動素子のみを含むチップ 3 4 を介して接続する。なお、その他の構成は、第 1 実施形態と同様である。

## 【 0 0 3 4 】

具体的には、この第 2 実施形態による半導体装置では、図 4 に示すように、チップ 3 4 が、抵抗 4 1、4 2 および 4 3 と、コンデンサ 4 4 および 4 5 と、コイル（リアクタ）4 6 および 4 7 とのみを含むように形成する。なお、このチップ 3 4 が、本発明の「第 1 半導体チップ」に相当する。また、抵抗 4 1、4 2 および 4 3 と、コンデンサ 4 4 および 4 5 と、コイル（リアクタ）4 6 および 4 7 とが、本発明の「受動素子」に相当する。

## 【 0 0 3 5 】

この場合、抵抗 4 1、4 2 および 4 3 は、それぞれ、入出力端子 3 4 a と 3 4 b との間、入出力端子 3 4 b と 3 4 e との間、および、入出力端子 3 4 c と 3 4 d との間に接続されている。また、コンデンサ 4 4 および 4 5 は、それぞれ、入出力端子 3 4 a と 3 4 c との間、および、入出力端子 3 4 b と 3 4 d との間に接続されている。また、コイル（リアクタ）4 6 および 4 7 は、それぞれ、入出力端子 3 4 a と 3 4 d との間、および、入出力端子 3 4 d と 3 4 e との間に接続されている。また、入出力端子 3 4 d は、接地されている。

## 【 0 0 3 6 】

そして、上記のように形成されたチップ 3 4 を介して、DRAMチップ 1 とロジックチップ 2 とを接続する。その際、図 3 に示す配線 3 7 a および 3 7 b を、入出力端子 3 4 a ～ 3 4 e のいずれかを選択して接続することにより、信号の種類に応じて、必要な受動素子を選択することができる。

## 【 0 0 3 7 】

なお、チップ 3 4 は、3 枚程度のマスクを用いて 1 層または 2 層程度で形成される。このため、第 1 実施形態の静電破壊対策用回路および受動素子を含むチップ 4 よりもさらに簡単な構造になる。

## 【 0 0 3 8 】

第 2 実施形態では、上記のように、抵抗 4 1、4 2 および 4 3 と、コンデンサ 4 4 および 4 5 と、コイル（リアクタ）4 6 および 4 7 との受動素子のみを含むチップ 3 4 の構造が、第 1 実施形態のチップ 4 の構造に比べて、より簡単になるので、信号のタイミング調整が必要になった場合に、第 1 実施形態に比べて、チップ 3 4 の修正期間をより短縮化することができるとともに、修正コストをより低減することができる。

## 【 0 0 3 9 】

## （第 3 実施形態）

図 5 は、本発明の第 3 実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図 6 および図 7 は、図 5 に示した第 3 実施形態による半導体装置の構成を説明するための回路図である。

## 【 0 0 4 0 】

この第 3 実施形態は、半導体チップ間を接続するための配線に受動素子機能を持たせることにより信号のタイミング調整を行う例である。以下、具体的に説明する。

## 【 0 0 4 1 】

まず、この第 3 実施形態による半導体装置では、図 5 に示すように、DRAM チップ 5 1 の入出力端子 5 1 a とロジックチップ 5 2 の入出力端子 5 2 a とが配線 6 1、6 2 および 6 3 によって接続されている。なお、DRAM チップ 5 1 およびロジックチップ 5 2 は、本発明の「半導体チップ」に相当する。配線 6 1 は、入出力端子 5 1 a と 5 2 a とを直線的に最短距離で接続している。これに対して、配線 6 2 は、配線 6 1 の 1 0 倍程度の長さを有して、入出力端子 5 1 a と 5 2 a とを接続している。配線 6 2 は、このように長く形成されることによって、図 6 に示すような、抵抗 7 0 を構成する。

## 【 0 0 4 2 】

また、配線 6 3 は、入出力端子 5 1 a と 5 2 a とを接続するとともに、先端が 3 つに分岐された分岐部を有する。そして、その配線 6 3 の 3 つの分岐部と所定の間隔を隔てて対向するように配置された 4 つの分岐部を有するダミー配線 6 4 が設けられている。このダミー配線 6 4 は、支持基板 3 の入出力端子 3 a に接続されることによって、所定の電位に固定されている。配線 6 3 とダミー配線 6 4 との組み合わせによって、図 7 に示すようなコンデンサ 7 1 が構成されている。

## 【 0 0 4 3 】

なお、配線 6 2 および 6 3 が、本発明の「受動素子機能を有する配線」に相当する。

## 【 0 0 4 4 】

第 3 実施形態では、上記のように、配線 6 2 に抵抗機能を持たせるとともに配線 6 3 にコンデンサ機能を持たせることによって、DRAM チップ 5 1 およびロジックチップ 5 2 の製造完了後の配線工程のみで、DRAM チップ 5 1 とロジックチップ 5 2 との間の信号伝達速度を調整することができる。また、製造コストの高い微細な DRAM チップ 5 1 またはロジックチップ 5 2 を再製造することなく、安価な配線工程のみで、チップ間の信号伝達速度を調整することができる。

## 【 0 0 4 5 】

また、第 3 実施形態では、配線 6 2 に抵抗機能を付加するとともに、配線 6 3 にコンデンサ機能を付加することによって、チップ間の信号伝達速度を容易に調整することができる。

## 【 0 0 4 6 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

## 【 0 0 4 7 】

たとえば、上記第 1 ～第 3 実施形態では、異なる機能を有するチップを同一平面上に配置する場合への適用例を示しているが、本発明はこれに限らず、異なる

機能を有するチップを上下方向に配置する場合にも適用可能である。

【0048】

また、上記第1～第3実施形態では、チップ完成後の配線数が1層の場合を示したが、本発明はこれに限らず、2層以上の配線を用いる場合に適用しても同様の効果を得ることができる。

【0049】

【発明の効果】

以上のように、本発明によれば、信号のタイミング調整が必要になった場合に、製造期間を短縮することができるとともに、製造コストが上昇するのを有効に防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図2】

図1に示した第1実施形態による半導体装置の構成を説明するための回路図である。

【図3】

本発明の第2実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図4】

図3に示した第2実施形態による半導体装置の構成を説明するための回路図である。

【図5】

本発明の第3実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図6】

図5に示した第3実施形態による半導体装置の構成を説明するための回路図である。



【図 7】

図 5 に示した第 3 実施形態による半導体装置の構成を説明するための回路図である。

【図 8】

従来の半導体装置（マルチチップモジュール）を示した概略図である。

【図 9】

図 8 に示した従来の半導体装置（マルチチップモジュール）における半導体チップの入出力回路の構成を示した概略図である。

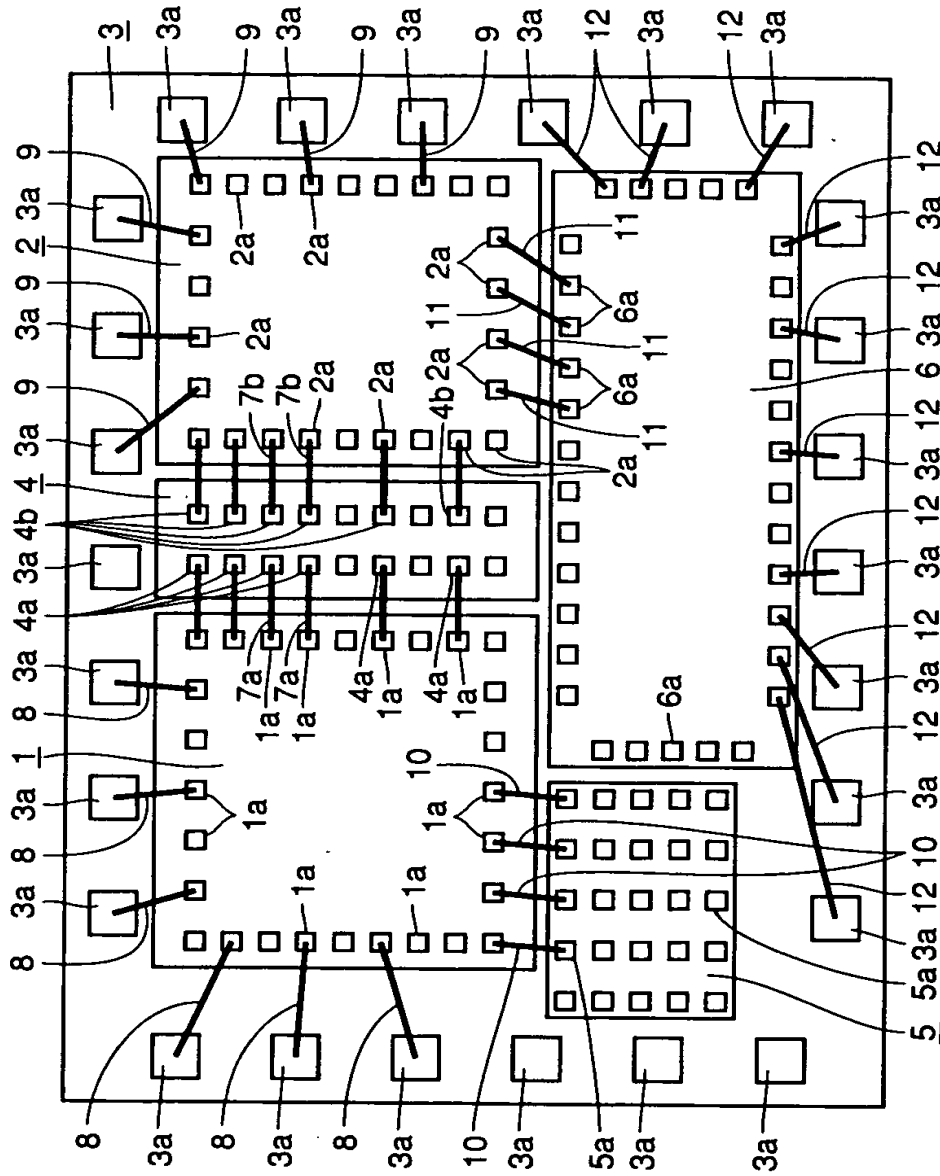
【符号の説明】

- 1    DRAMチップ（第 2 半導体チップ）
- 2    ロジックチップ（第 3 半導体チップ）
- 1 a、2 a、3 a、4 a、4 b、5 a、6 a    入出力端子
- 4、3 4    チップ（第 1 半導体チップ）
- 2 1、2 2    静電破壊防止用トランジスタ
- 2 3 a、2 3 b    抵抗
- 3 4 a、3 4 b、3 4 c、3 4 d、3 4 e    入出力端子
- 3 7 a、3 7 b    配線
- 4 1、4 2、4 3    抵抗
- 4 4、4 5    コンデンサ
- 4 6、4 7    コイル（リアクタ）
- 5 1    DRAMチップ（半導体チップ）
- 5 2    ロジックチップ（半導体チップ）
- 6 2    配線（受動素子機能を有する配線）
- 6 3    配線（受動素子機能を有する配線）
- 6 4    ダミー配線
- 7 0    抵抗
- 7 1    コンデンサ

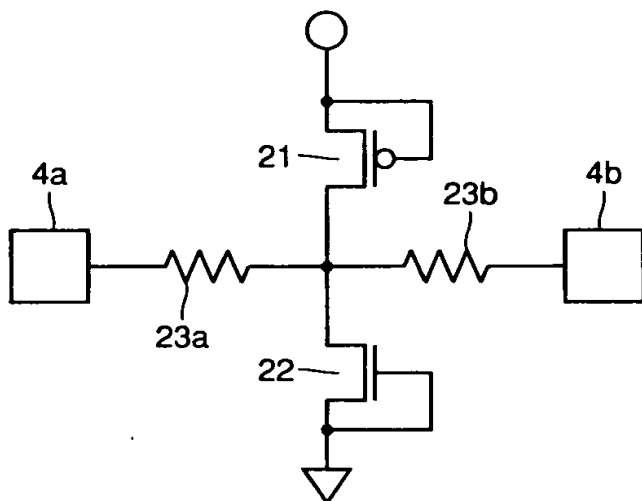
【書類名】

図面

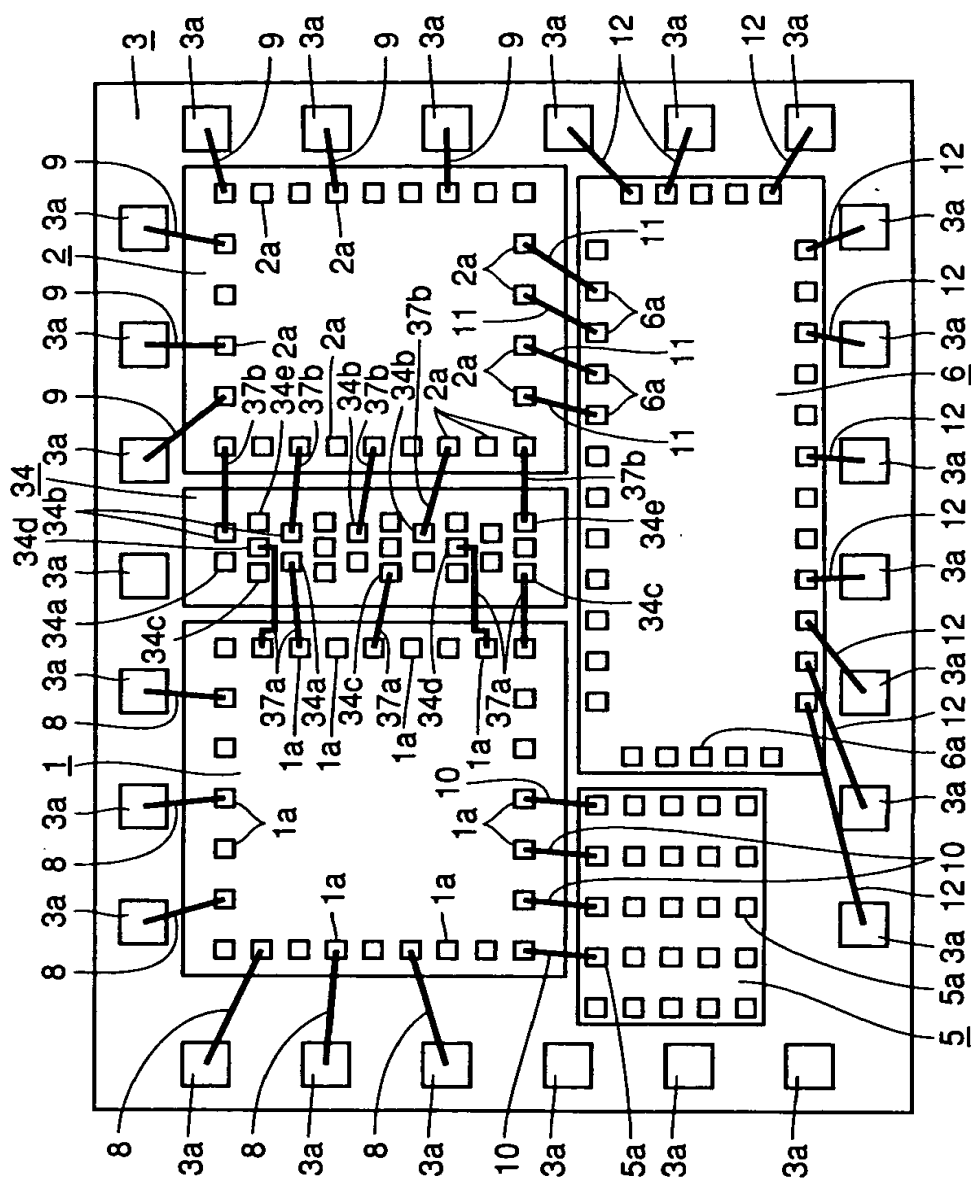
【図 1】



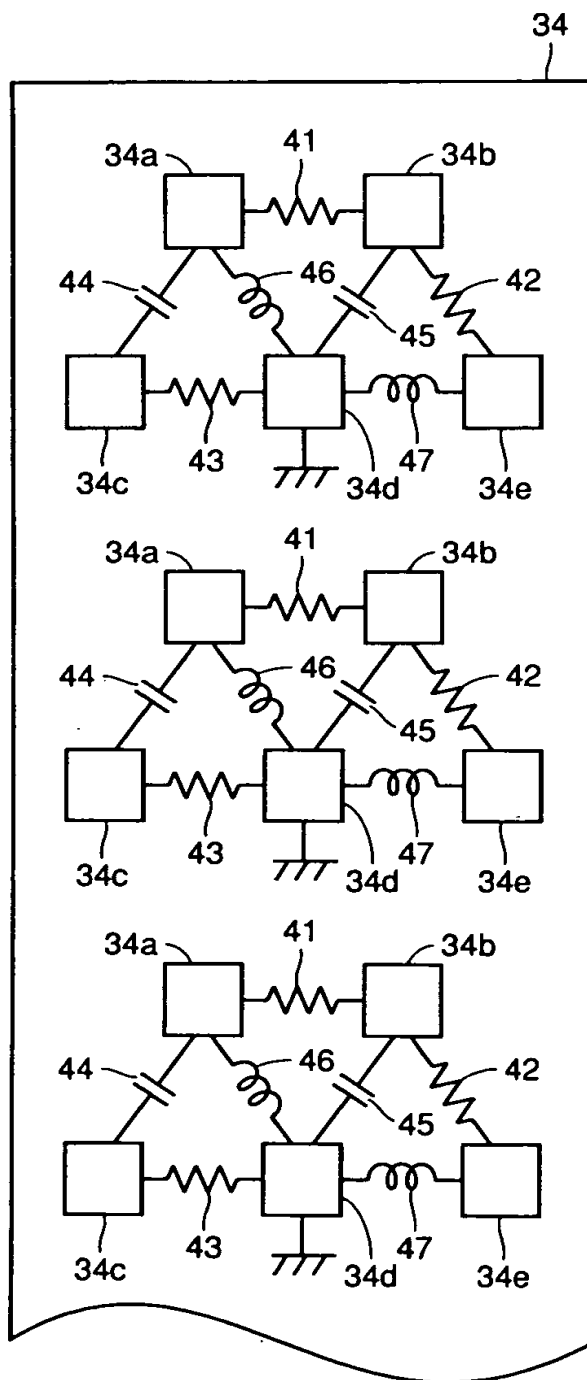
【図 2】



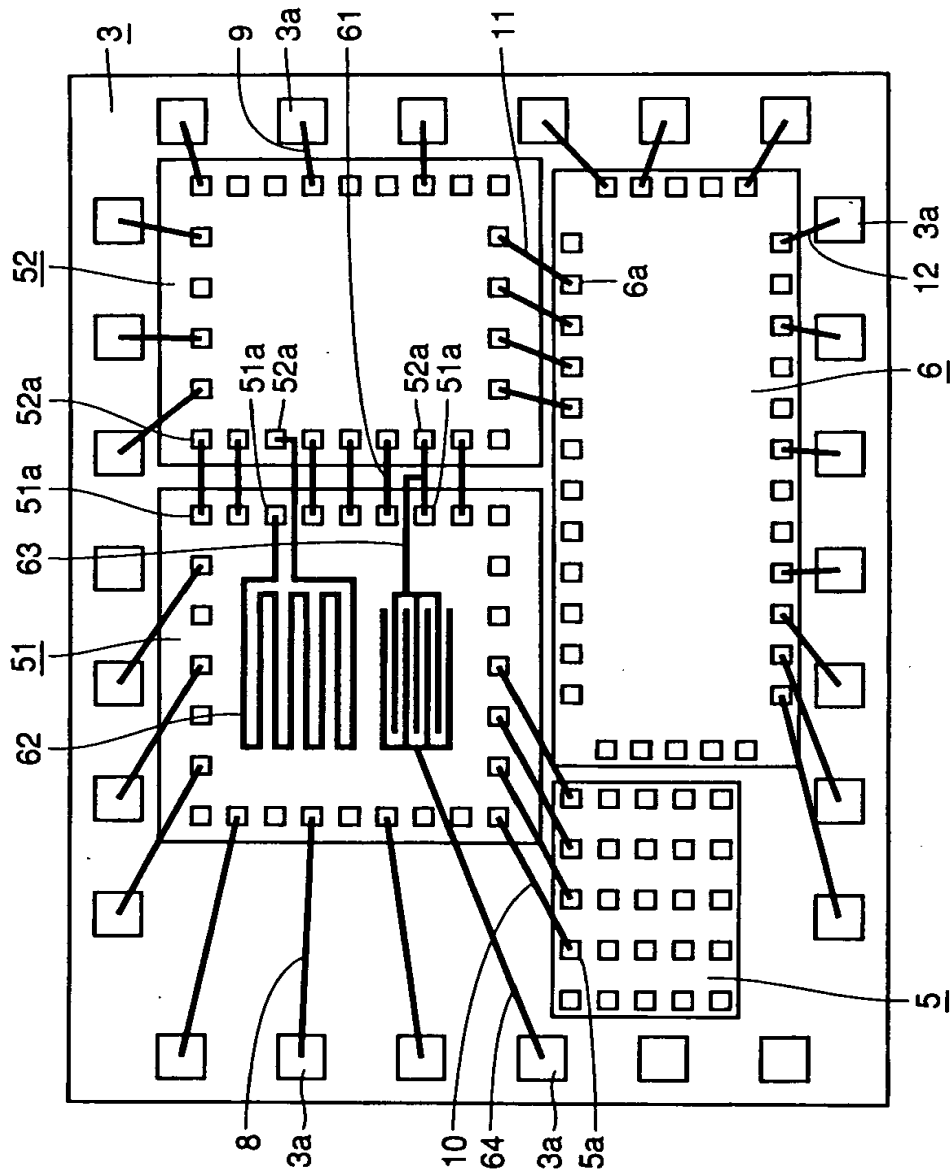
【図3】



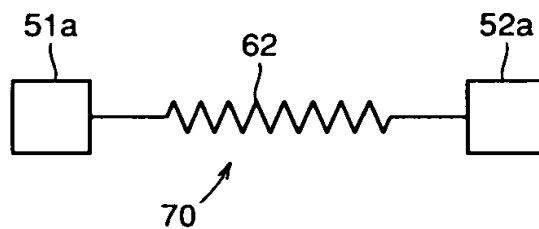
【図 4】



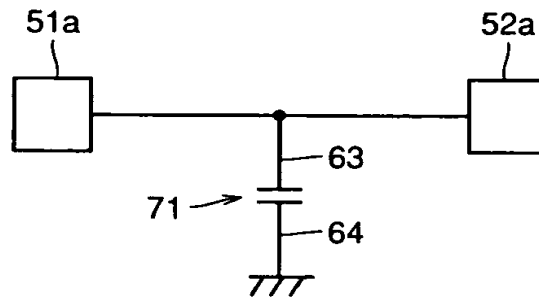
【図 5】



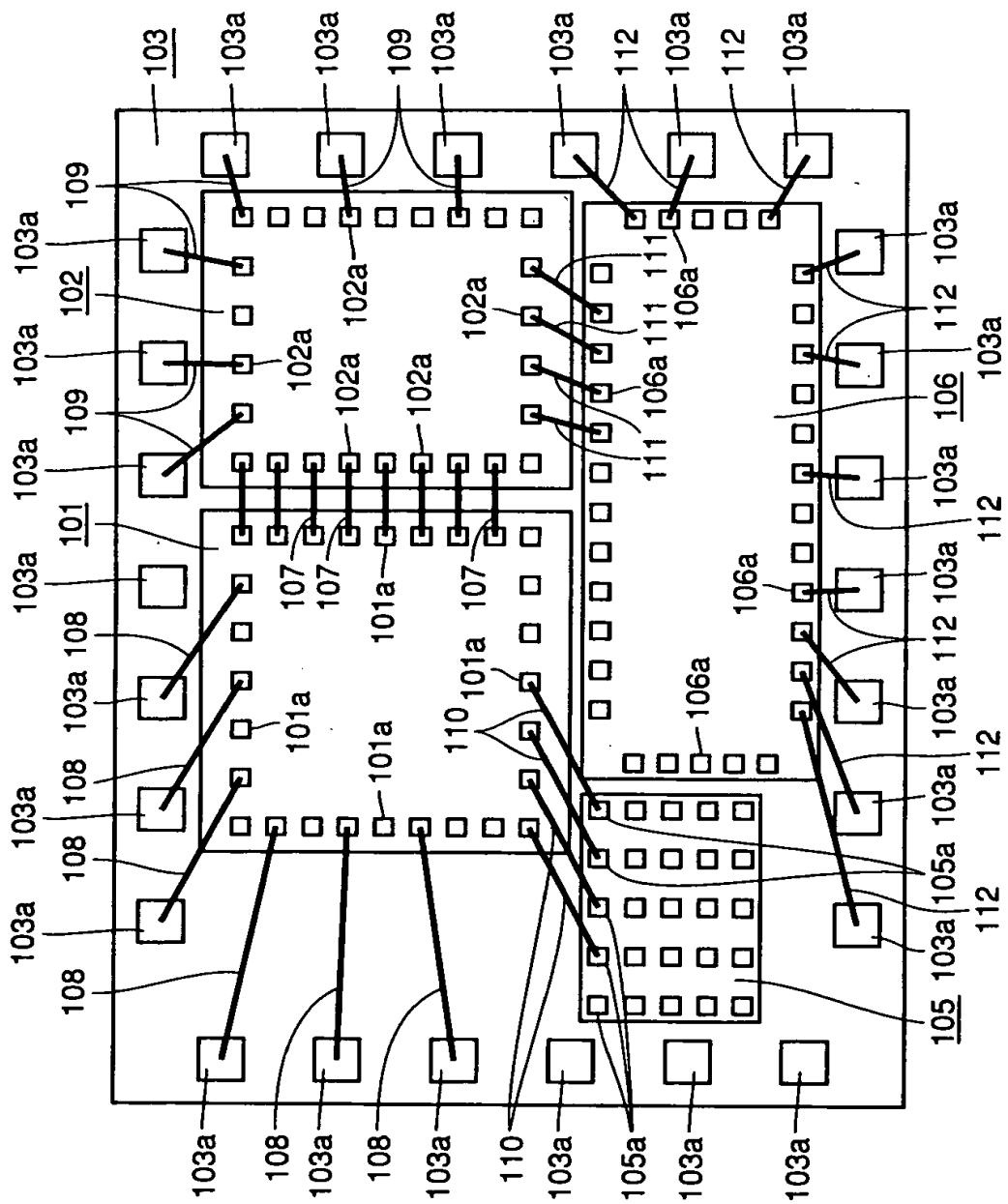
【図 6】



【図 7】

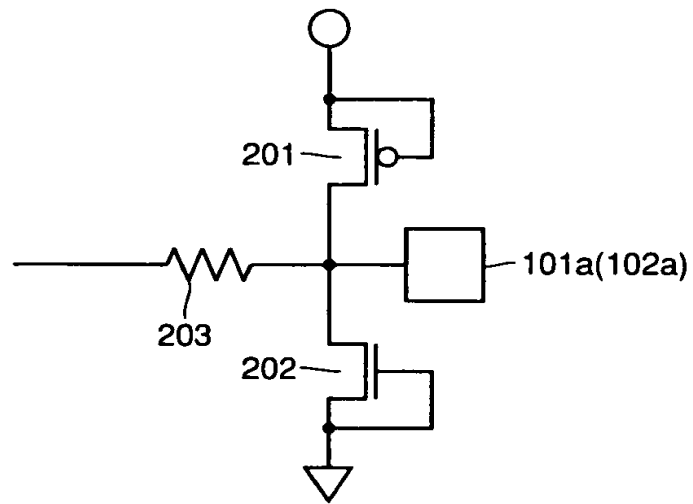


【図 8】





【図 9】



【書類名】 要約書

【要約】

【課題】 信号のタイミング調整が必要になった場合に、修正期間を短縮することができるとともに、修正コストが上昇するのを有効に防止することが可能な半導体装置を提供する。

【解決手段】 静電破壊対策用回路および抵抗（受動素子）のみからなる半導体チップ4を設ける。そして、この半導体チップ4を介して、DRAMチップ1とロジックチップ2とを接続する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社